

JAPANESE

[JP,10-326895,A]

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE INVENTION  
TECHNICAL PROBLEM MEANS DESCRIPTION OF DRAWINGS DRAWINGS

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] It has a source field of the same conductivity type in said principal plane which has two or more slots each other arranged in parallel in one principal plane of a semiconductor base of one conductivity type which is a drain field, and was inserted into it in said slot. Inside said slot It has a fixed potential insulation electrode which was insulated with said drain field by insulator layer, and was maintained at this potential with said source field. Said fixed potential insulation electrode Without consisting of a conductive material which has a property which forms a depletion region in said drain field which adjoins through said insulator layer and touching said source field And it has a gate field of an opposite conductivity type which touches said drain field and said insulator layer. It has a channel field which is said a part of drain field contiguous to said source field, and was inserted into said fixed potential insulation electrode. Potential of said gate field in the condition of being maintained at potential and this potential of said source field With a potential barrier which said depletion region forms in said channel field If said source field and said drain field are a cut off state electrically and potential of said gate field turns into potential which changes into a forward bias condition pn junction formed between said gate fields and said source fields Electric field from said fixed potential insulation electrode which an inversion layer is formed in an interface of said insulator layer which said gate field touches, and forms said depletion region are covered. In a semiconductor device of a configuration so that conductivity of said drain field may improve by reducing or disappearing said depletion region, said channel field being in switch-on, and a minority carrier being further poured into said drain field / semiconductor device characterized by what is constituted so that an interface which touches said insulator layer of said channel field may become field bearing where mobility of a minority carrier to a direction parallel to said principal plane at least is low.

[Claim 2] A semiconductor device according to claim 1 which said channel field is n mold silicon single crystal field, and is characterized by field bearing of said insulator layer interface consisting of {100} sides.

[Claim 3] A semiconductor device according to claim 1 characterized by for said channel field being a p-type silicon single crystal field, for field bearing of said insulator layer interface being {110} sides, and crystal orientations parallel to said principal plane being the <110> directions.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the vertical mold power element using a U character mold insulation electrode.

[0002]

[Description of the Prior Art] As structure in connection with this invention, the equipment of a publication is in the JP,6-252408,A public presentation patent official report for which these people applied before. Since fundamental structures other than the feature portion of this invention are similar with the gestalt of operation of this invention, above equipment explains the structure of equipment conventionally [ said ] using drawing 1 which shows the gestalt of operation of this invention - drawing 4 . In addition, for explanation, the name of the number in drawing and a part etc. is changed suitably, and is indicated.

[0003] Drawing 1 is the isometric plot showing the semiconductor device concerned. Drawing 2 is a cross section and equivalent to the cross section of the front face in drawing 5 . Drawing 3 is another cross section of the semiconductor device concerned, and shows the same part as the cross section of the side of drawing 5 . Drawing 4 is surface drawing of the semiconductor device concerned, and is the same part as the upper surface of drawing 5 . The cross section cut through segment A-A' in drawing 4 in the field perpendicular to space is drawing 1 , and the cross section cut in the same field perpendicular to segment B-B' becomes drawing 3 .

[0004] As for n+ mold substrate field and 2, the number in drawing and 1 are [ n-mold drain field and 3 ] n+ mold source fields. Two or more slots were trenched [ each other ] in parallel exist a side wall in the semiconductor surface almost perpendicularly. It is insulated with surrounding n mold field by the insulator layer 5, and the MOS mold electrode 4 which consists of polish recon of p+ mold is embedded at the wall. Moreover, as shown in drawing 2 , ohmic contact of the source electrode 13 is carried out to the source field 3 and the MOS mold electrode 4. Therefore, the MOS mold electrode 4 is made to call it the source field 3 with "the fixed potential insulation electrode 6" in accordance with this MOS mold electrode 4 and insulator layer 5, since it is always this potential. Among the drain fields 2, 7 is the portion pinched by two fixed potential insulation electrodes 6, and is the channel field of this semiconductor device. 8 is the gate field which consists of a p type semiconductor field, and from the source field 3, although it is separated, it is in contact with the drain field 2 and the insulator layer 5. 9 is an interlayer insulation film. The drain electrode in which 11 carries out ohmic contact to the drain field 1, and 18 are gate electrodes which carry out ohmic contact to the gate electrode 8. In addition, in order to clarify explanation, in drawing 1 and drawing 4 , the publication of the surface electrode indicated by drawing 2 and drawing 3 is excluded.

[0005] Actuation of this semiconductor device is explained. The semiconductor device shown in drawing 1 - drawing 4 grounds a source electrode (0V), and a drain electrode is used through a load, connecting with appropriate positive potential.

[0006] It explains using drawing 2 . Although it is a cut off state first, when the gate electrode 18 is in a touch-down condition, a device is a cut off state. Although the depletion region accompanying built-in potential is formed in the perimeter of the fixed potential insulation electrode 6, if two fixed potential insulation inter-electrode distance (this will be hereafter called "channel thickness H") which counters in a channel field is narrow enough, in the channel field 7, enough potential barriers over conduction electron will be formed of this depletion region. For example, if the high impurity concentration of the channel field 7 is set about [  $1 \times 10^{14} \text{cm}^{-3}$  ] to three and the above "channel thickness H" is set as 2 micrometers or less, enough potential barriers which obstruct that the conduction electron of n+ mold source field moves to the drain field 2 side through the channel field 7 can be acquired.

[0007] Moreover, the distance (this will be hereafter called "channel length L") from the source field 3 to the pars basilaris ossis occipitalis of the fixed potential insulation electrode 6 is set up with 2 of said channel thickness H thru/or 3 or more times so that the height of this potential barrier may not fall under the effect of the electric field from the drain field 2 side. The cut off state of the channel field 7 is maintained to avalanche breakdown conditions by this condition.

[0008] Next, although it is a turn-on, if positive potential is impressed to the gate electrode 18, the potential of p mold gate field 8 will rise, an electron hole will flow into the insulator layer interface which touches this, and an inversion layer will be formed. Since an inversion layer covers the electric field from the MOS mold electrode 4 which is p+ mold to the channel field 7, a depletion region contracts or disappears and a channel opens it. When the potential of the gate field 8 becomes still higher, the pn junction between the gate field 8 of p mold, the drain field 2 of n mold, or the channel field 7 will be in a forward bias condition, and the electron hole which is a minority carrier will be poured in to n mold field. Since high impurity concentration is

low made in order that these n mold field may raise high pressure-proofing or the cutoff nature of a channel, if a minority carrier is poured in in large quantities, conductivity will improve, and the electron emitted from the source field 3 moves to the substrate field 1 with high conductivity.

[0009] By the way, the current which flowed into the gate electrode 18 turns into an electron hole style from p mold gate field 8, and, finally most flows into the source field 3. Although that most spreads inside the drain field 2 and it contributes to improvement in the conductivity of this field, there is also a portion which is transmitted to the interface of an insulator layer 5 in inside, and flows into the source field 3 by the minimum distance. Since this portion does not contribute to the conductivity modulation of the drain field 2, if there are many these portions, the ratio called the so-called "current amplification factor" (drain current / gate current) will become low, and effectiveness will worsen.

[0010]

[Problem(s) to be Solved by the Invention] As mentioned above, in this semiconductor device, the technical problem that it did not improve so that there may be a portion which does not contribute to the conductivity modulation of a drain field among the poured-in electron holes and a current amplification factor may consider occurred. This invention solves such a technical problem and it aims at realizing the semiconductor device of the structure concerned where a current amplification factor is high.

[0011]

[Means for Solving the Problem] In order to solve a technical problem, a configuration which is indicated to said claim in this invention is taken. Namely, in claim 1, although first aimed at a semiconductor device of the following structures For example, it has two or more slots each other arranged in parallel at one principal plane of a drain field which is a n-type semiconductor. It has a fixed potential insulation electrode which has the same conductivity-type (here n mold) source field in said principal plane inserted into this slot, and was insulated with said drain field by insulator layer inside said slot, and was maintained at this potential with said source field. In addition, this electrode consists of a conductive material (for example, p+ mold polish recon) which has a property which forms a depletion region in said drain field which adjoins through said insulator layer. It has a gate field of an opposite conductivity type (here p mold) which touches said drain field and said insulator layer without touching said source field furthermore, and further, it is said a part of drain field contiguous to said source field, and has a channel field inserted into said fixed potential insulation electrode. and in the condition that potential of said gate field is maintained at potential and this potential of said source field With a potential barrier which said depletion region forms in said channel field At the time of potential which changes into a forward bias condition pn junction by which said source field and said drain field are a cut-off state electrically, and potential of said gate field is formed between said gate fields (here p mold) and said source fields (here n mold) By covering electric field from said fixed potential insulation electrode which an inversion layer (here, it consists of an electron hole) is formed in an interface of said insulator layer which said gate field touches, and forms said depletion region It is the semiconductor device of structure whose conductivity of said drain field improves by contracting or vanishing said depletion region, said channel field being in switch-on, and a minority carrier (here electron hole) being further poured into said drain field.

[0012] About the above configuration, these people have already applied by JP,6-252408,A. In this invention, said insulator layer interface (namely, side wall of said slot) which touches said channel field considers as a configuration formed in the field bearing where mobility of a direction (namely, direction to which said source field and said gate field are connected) parallel to said principal plane at least is low among mobility to said minority carrier (here electron hole) further in a semiconductor device of such structure. in addition, the aforementioned "field bearing where mobility is low" means choosing field bearing among various crystal-face bearings of a semiconductor where mobility of said minority carrier is lower than other field bearings, and it specifically indicates to claims 2 and 3 -- the time -- field bearing -- corresponding .

[0013] a claim -- two -- a claim -- one -- more -- being concrete -- a configuration -- one -- a \*\* -- limiting -- although -- said -- a channel -- a field -- n -- a mold -- a silicon single crystal -- a field -- it is -- a case -- a minority carrier (here electron hole) -- depending -- an inversion layer -- forming -- having -- said -- an insulator layer -- an interface (namely, side wall of said slot) -- said -- a minority carrier (here electron hole) -- receiving -- mobility -- being low -- {-- 100 --} -- a field -- becoming -- as -- a configuration -- \*\* -- carrying out .

[0014] Furthermore, although claim 3 similarly limits one of the more concrete configurations of claim 1 When said channel field is a p-type silicon single crystal field, said insulator layer interface (namely, side wall of said slot) in which an inversion layer by minority carrier (here electron) is formed It considers as a configuration [ as / whose directions (namely, direction where an electron in an inversion layer moves to a source field from a gate field) still more nearly parallel to said principal plane it is {110} sides and are the <110> directions where mobility to said minority carrier (here electron) is low ].

[0015]

[Effect of the Invention] Also when it was a configuration like above this inventions and the same gate current is poured in compared with the case where that is not right, it is transmitted to the inversion layer of an insulator layer interface among the minority carriers poured in from said gate field, and flows to said source field, the part which does not contribute to the conductivity modulation of a drain field decreases, and a current amplification factor improves as a result.

[0016] Moreover, claim 2 is what limited claim 1 still more concretely, and when this transistor is built on n mold silicon substrate, if field bearing is chosen and made as mentioned above, its current amplification factor will improve most.

[0017] Moreover, although claim 3 similarly limits claim 1 still more concretely, when this transistor is built on

a p-type silicon substrate, if field bearing is chosen and made as mentioned above, a current amplification factor will improve most.

[0018]

[Embodiment of the Invention] Hereafter, this invention is explained in detail. It is the isometric plot in which drawing 1 - drawing 4 are drawings showing the gestalt of 1 operation of this invention, and drawing 1 shows the semiconductor device concerned. Drawing 2 is a cross section and equivalent to the cross section of the front face in drawing 5. Drawing 3 is another cross section of the semiconductor device concerned, and shows the same part as the cross section of the side of drawing 5. Drawing 4 is surface drawing of the semiconductor device concerned, and is the same part as the upper surface of drawing 5. The cross section cut through segment A-A' in drawing 4 in the field perpendicular to space is drawing 1, and the cross section cut in the same field perpendicular to segment B-B' becomes drawing 3.

[0019] As for n+ mold substrate field and 2, the number in drawing and 1 are [ n-mold drain field and 3 ] n+ mold source fields. Two or more slots were trenched [ each other ] in parallel exist a side wall in the semiconductor surface almost perpendicularly. It is insulated with surrounding n mold field by the insulator layer 5, and the MOS mold electrode 4 which consists of polish recon of p+ mold is embedded at the wall. Moreover, as shown in drawing 2, ohmic contact of the source electrode 13 is carried out to the source field 3 and the MOS mold electrode 4. Therefore, the MOS mold electrode 4 is made to call it the source field 3 with "the fixed potential insulation electrode 6" in accordance with this MOS mold electrode 4 and insulator layer 5, since it is always this potential. Among the drain fields 2, 7 is the portion pinched by two fixed potential insulation electrodes 6, and is the channel field of this semiconductor device. 8 is the gate field which consists of a p type semiconductor field, and from the source field 3, although it is separated, it is in contact with the drain field 2 and the insulator layer 5. 9 is an interlayer insulation film. The drain electrode in which 11 carries out ohmic contact to the drain field 1, and 18 are gate electrodes which carry out ohmic contact to the gate electrode 8. In addition, in order to clarify explanation, in drawing 1 and drawing 4, the publication of the surface electrode indicated by drawing 2 and drawing 3 is excluded.

[0020] The thing and fundamental portion which explained the device structure in connection with this invention like the above in the column of said conventional technology are the same, and a different point is only field bearing of the interface which touches said insulator layer 5 of the channel field 7. Moreover, since fundamental actuation of said equipment is the same as the column of said conventional technology explained, it omits and the portion by which it is characterized [ of this invention ] is explained hereafter.

[0021] Although drawing 5 built as {100} what built the device by making into <110> shaft orientations the direction where field bearing of said-insulator layer-interface of said channel field 7 is made into {110} sides (when the channel field 7 is n mold silicon), and an electron hole style flows the aforementioned semiconductor device, and field bearing of this interface, it is the graph which measured and compared the current amplification factor. The horizontal axis of a graph is the drain current density of a transistor chip, and an axis of ordinate is the ratio of (a drain current value / gate current value) in the so-called "current amplification factor."

[0022] The direction of the transistor whose field bearing of said insulator layer interface in accordance with this invention is {100} has a high current amplification factor as seen to drawing 5. In addition, although epitaxial growth of the drain field 2 of the transistor made as an experiment was carried out on the substrate field 1, the thickness of a drain field was set as about 50 micrometers so that a semiconductor device might have pressure-proofing of 600V at least. Moreover, the voltage between the drain sources at the time of measurement is 5V.

[0023] Moreover, although drawing 1 - drawing 4 showed the version which used the substrate field 1 as n mold, this is equivalent to said claim 2. By this invention, as shown in said claim 3, it is materialized also with the structure which used the substrate field 1 as p mold (when the channel field 7 is p-type silicon), in addition replaced the conduction type of all semiconductor regions. Namely, what is necessary is to choose so that electronic inversion layer mobility may become the lowest field bearing, i.e., {110} sides, and just to complete structure so that a direction parallel to the surface which is the direction of an electron flow may become in the <110> directions since the inversion layer by the electron is shortly formed in an insulator layer interface in that case.

[0024] In addition, this invention is similarly materialized, even when made using compound semiconductors, such as not only the silicon raised here but germanium, SiC, an III-V group, etc.

---

[Translation done.]

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] The perspective diagram showing the gestalt of 1 operation of the semiconductor device with which this invention is concerned.

[Drawing 2] The cross section showing the gestalt of 1 operation of the semiconductor device with which this invention is concerned.

[Drawing 3] Another cross section showing the gestalt of 1 operation of the semiconductor device with which this invention is concerned.

[Drawing 4] Surface drawing showing the gestalt of 1 operation of the semiconductor device with which this invention is concerned.

[Drawing 5] The graph of the current amplification factor explaining the effect of this invention.

[Description of Notations]

- 1 -- Substrate field
- 2 -- Drain field
- 3 -- Source field
- 4 -- MOS mold electrode
- 5 -- Insulator layer
- 6 -- Fixed potential insulation electrode
- 7 -- Channel field
- 8 -- Gate field
- 9 -- Interlayer insulation film
- 11 -- Drain electrode
- 13 -- Source electrode
- 18 -- Gate electrode
- H -- Channel thickness
- L -- Channel length

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-326895

(43) 公開日 平成10年(1998)12月8日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78  
29/80

識別記号

F I

H 0 1 L 29/78  
29/80

6 5 4 C  
6 5 2 T  
V

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平9-135657

(22) 出願日 平成9年(1997)5月27日

(71) 出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72) 発明者 村上 善則

神奈川県横浜市神奈川区宝町2番地 日産  
自動車株式会社内

(74) 代理人 弁理士 中村 純之助 (外1名)

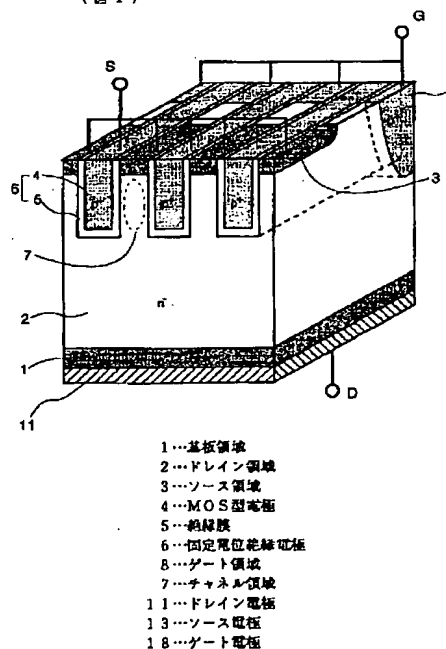
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 U字型絶縁電極を利用した縦型パワー素子において、電流増幅率の高い当該構造の半導体装置を実現する。

【解決手段】 溝の内部に絶縁膜5によってドレイン領域2とは絶縁され、かつ、ソース領域3とは同電位に保たれた固定電位絶縁電極6を有し、ソース領域に隣接するドレイン領域の一部であって、固定電位絶縁電極に挟まれたチャンネル領域7を有する半導体装置において、チャンネル領域7の絶縁膜5に接する界面が、少なくとも半導体基板1の主面に平行な方向への少数キャリアの移動度が低い面方位になるよう構成された半導体装置。具体的には、チャンネル領域がn型シリコン単結晶の場合には、絶縁膜界面の面方位が{100}面で構成され、チャンネル領域がp型シリコン単結晶の場合には、絶縁膜界面の面方位が{110}面であり、かつ、主面に平行な結晶軸方向が<110>方向である構造。

(図1)



## 【特許請求の範囲】

【請求項1】ドレイン領域である一導電型の半導体基体の一主面に、互いに平行に配置された溝を複数有し、前記溝に挟まれた前記主面に、同一導電型のソース領域を有し、前記溝の内部には、絶縁膜によって前記ドレイン領域とは絶縁され、かつ、前記ソース領域とは同電位に保たれた固定電位絶縁電極を有し、前記固定電位絶縁電極は、前記絶縁膜を介して隣接する前記ドレイン領域に空乏領域を形成するような性質を有する導電性材料からなり、前記ソース領域には接しないで、かつ、前記ドレイン領域ならびに前記絶縁膜に接する反対導電型のゲート領域を有し、前記ソース領域に隣接する前記ドレイン領域の一部であって、前記固定電位絶縁電極に挟まれたチャネル領域を有し、前記ゲート領域の電位が、前記ソース領域の電位と同電位に保たれている状態では、前記チャネル領域内に前記空乏領域が形成するポテンシャル障壁によって、前記ソース領域と前記ドレイン領域とは電気的に遮断状態であり、前記ゲート領域の電位が、前記ゲート領域と前記ソース領域との間に形成されるpn接合を順バイアス状態にするような電位になると、前記ゲート領域が接する前記絶縁膜の界面に反転層が形成されて、前記空乏領域を形成している前記固定電位絶縁電極からの電界が遮蔽され、前記空乏領域を縮小もしくは消失して前記チャネル領域が導通状態となり、さらに前記ドレイン領域に少数キャリアが注入されることで前記ドレイン領域の伝導度が向上するような構成の半導体装置において、前記チャネル領域の前記絶縁膜に接する界面が、少なくとも前記主面に平行な方向への少数キャリアの移動度が低い面方位になるよう構成されている、ことを特徴とする半導体装置。

【請求項2】前記チャネル領域がn型シリコン単結晶領域であり、前記絶縁膜界面の面方位が{100}面で構成されたことを特徴とする、請求項1に記載の半導体装置。

【請求項3】前記チャネル領域がp型シリコン単結晶領域であり、前記絶縁膜界面の面方位が{110}面であり、かつ、前記主面に平行な結晶軸方向が<110>方向であることを特徴とする、請求項1に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はU字型絶縁電極を利用した縦型パワー素子に関する。

## 【0002】

【従来の技術】本発明に関わる構造としては、本出願人

が以前に出願した特開平6-252408号公開特許公報に記載の装置がある。前記の装置は、本発明の特徴部分以外の基本的構造は本発明の実施の形態と類似しているので、本発明の実施の形態を示す図1～図4を用いて前記従来装置の構造を説明する。なお、図中番号および部位の名称などは説明のため適宜変更して記載する。

【0003】図1は当該半導体装置を示す鳥瞰図。図2は断面図で、図5中の前面の断面に相当する。図3は当該半導体装置の別の断面図で、図5の側面の断面と同じ部位を示す。図4は当該半導体装置の表面図で、図5の上面と同じ部位である。図4中の線分A-A'を通過して紙面に垂直な面で切った断面図が図1であり、同じく線分B-B'に垂直な面で切った断面図が図3になる。

【0004】図中番号、1はn+型基板領域、2はn-型ドレイン領域、3はn+型ソース領域である。半導体表面には側壁をほぼ垂直に、かつ、互いに平行に掘られた複数の溝が存在する。その内壁にはp+型のポリシリコンからなるMOS型電極4が、絶縁膜5によって周囲のn型領域と絶縁されて埋め込まれている。また、図2に示すようにソース電極13はソース領域3とMOS型電極4とにオーミックコンタクトしている。したがって、MOS型電極4はソース領域3と常に同電位であるから、このMOS型電極4と絶縁膜5をあわせて「固定電位絶縁電極6」と呼ぶことにする。7はドレイン領域2のうちで2つの固定電位絶縁電極6に挟まれた部分で、この半導体装置のチャネル領域である。8はp型半導体領域からなるゲート領域で、ソース領域3からは離れているが、ドレイン領域2と絶縁膜5に接している。9は層間絶縁膜である。11はドレイン領域1とオーミックコンタクトするドレイン電極、18はゲート電極8にオーミックコンタクトするゲート電極である。なお、説明を明確にするため、図1と図4においては、図2および図3に記載されている表面電極の記載を省いてある。

【0005】この半導体装置の動作を説明する。図1～図4に示した半導体装置は、ソース電極を接地(0V)にし、ドレイン電極は負荷を介して然るべき正電位に接続して使用する。

【0006】図2を使って説明する。まず遮断状態であるが、ゲート電極18が接地状態の時、デバイスは遮断状態である。固定電位絶縁電極6の周囲にはビルトイン電位に伴う空乏領域が形成されているが、チャネル領域内で対向する2つの固定電位絶縁電極間の距離(以下、これを「チャネル厚みH」と呼ぶことにする)が充分狭ければ、チャネル領域7内にはこの空乏領域によって伝導電子に対する充分なポテンシャル障壁が形成される。たとえばチャネル領域7の不純物濃度を $1 \times 10^{14} \text{ cm}^{-3}$ 程度、前記「チャネル厚みH」を $2 \mu\text{m}$ 以下に設定すれば、n+型ソース領域の伝導電子がチャネル領域7を通過してドレイン領域2側へ移動する事を阻む充分なポテンシャル障壁を得ることができる。



【0007】また、ドレイン領域2側からの電界の影響によってこのポテンシャル障壁の高さが低下することのないよう、ソース領域3から固定電位絶縁電極6の底部までの距離（以下、これを「チャンネル長L」と呼ぶことにする）を、前記チャンネル厚みHの2乃至3倍以上と設定してある。この条件により、チャンネル領域7の遮断状態はアバランシェ降伏条件まで保たれる。

【0008】次にターンオンであるが、ゲート電極18に正電位が印加されると、p型ゲート領域8の電位が上昇し、これと接する絶縁膜界面に正孔が流れ込んで反転層が形成される。反転層はp+型であるMOS型電極4からチャンネル領域7への電界を遮蔽するので、空乏領域が縮小もしくは消滅してチャンネルがひろく、ゲート領域8の電位がさらに高くなると、p型のゲート領域8とn型のドレイン領域2もしくはチャンネル領域7との間のpn接合が順バイアス状態となり、少数キャリアである正孔がn型領域へ注入される。これらn型領域は高い耐圧もしくはチャンネルの遮断性を向上させるために、不純物濃度が低く作られているので、少数キャリアが大量に注入されると伝導度が向上し、ソース領域3から放出された電子は高い伝導度で基板領域1へと移動する。

【0009】ところで、ゲート電極18へ流れ込んだ電流はp型ゲート領域8から正孔流となって最終的には殆どがソース領域3へと流れ込む。その大半はドレイン領域2の内部に広がってこの領域の伝導度の向上に寄与するが、中には絶縁膜5の界面を伝って最短距離でソース領域3へと流れ込んでしまう部分もある。この部分はドレイン領域2の伝導度変調には寄与しないので、この部分が多いと所謂「電流増幅率」と呼ばれる（ドレイン電流/ゲート電流）比が低くなって効率が悪くなる。

【0010】

【発明が解決しようとする課題】前記のように、この半導体装置では注入された正孔のうちドレイン領域の伝導度変調に寄与しない部分があって電流増幅率が思うように向上しない、という課題があった。本発明はこのような課題を解決し、電流増幅率の高い当該構造の半導体装置を実現することを目的としている。

【0011】

【課題を解決するための手段】課題を解決するために、本発明においては前記特許請求の範囲に記載するような構成をとる。すなわち、請求項1においては、まず以下のような構造の半導体装置を対象とするが、例えばn型半導体であるドレイン領域の一主面に、互いに平行に配置された溝を複数有し、この溝に挟まれた前記主面に同一導電型（ここではn型）ソース領域を有し、前記溝の内部には絶縁膜によって前記ドレイン領域とは絶縁され、かつ、前記ソース領域とは同電位に保たれた固定電位絶縁電極を有する。なお、この電極は前記絶縁膜を介して隣接する前記ドレイン領域に空乏領域を形成するような性質を有する導電性材料（たとえばp+型ポリシリ

コン）からなる。さらに前記ソース領域には接しないで、かつ、前記ドレイン領域ならびに前記絶縁膜に接する反対導電型（ここではp型）のゲート領域を有し、さらに、前記ソース領域に隣接する前記ドレイン領域の一部であって、前記固定電位絶縁電極に挟まれたチャンネル領域を有する。そして前記ゲート領域の電位が前記ソース領域の電位と同電位に保たれている状態では、前記チャンネル領域内に前記空乏領域が形成するポテンシャル障壁によって、前記ソース領域と前記ドレイン領域とは電気的に遮断状態であり、前記ゲート領域の電位が前記ゲート領域（ここではp型）と前記ソース領域（ここではn型）との間に形成されるpn接合を順バイアス状態にするような電位の時は、前記ゲート領域が接する前記絶縁膜の界面に反転層（ここでは正孔よりなる）が形成されて、前記空乏領域を形成している前記固定電位絶縁電極からの電界を遮蔽することで、前記空乏領域を縮小もしくは消失させて前記チャンネル領域が導通状態となり、さらに前記ドレイン領域に少数キャリア（ここでは正孔）が注入されることで前記ドレイン領域の伝導度が向上するような構造の半導体装置である。

【0012】以上の構成については、すでに特開平6-252408号で本出願人が出願している。本発明では、このような構造の半導体装置において、さらに、前記チャンネル領域に接する前記絶縁膜界面（すなわち前記溝の側壁）が、前記少数キャリア（ここでは正孔）に対する移動度のうち、少なくとも前記主面に平行な方向（すなわち前記ソース領域と前記ゲート領域とを結ぶ方向）の移動度が低い面方位で形成された構成とする。なお、前記の「移動度が低い面方位」とは、半導体の種々の結晶面方位のうち、他の面方位よりも前記少数キャリアの移動度が低い面方位を選択することを意味し、具体的には例えば請求項2、3に記載するとき面方位が該当する。

【0013】請求項2は、請求項1のより具体的な構成のひとつを限定したものであるが、前記チャンネル領域がn型シリコン単結晶領域である場合、少数キャリア（ここでは正孔）による反転層が形成される前記絶縁膜界面（すなわち前記溝の側壁）が、前記少数キャリア（ここでは正孔）に対する移動度の低い{100}面になるような構成とする。

【0014】さらに請求項3は、同じく請求項1のより具体的な構成のひとつを限定したものであるが、前記チャンネル領域がp型シリコン単結晶領域である場合、少数キャリア（ここでは電子）による反転層が形成される前記絶縁膜界面（すなわち前記溝の側壁）が、{110}面であり、さらに、前記主面に平行な方向（すなわち反転層中の電子がゲート領域からソース領域へ移動する方向）が前記少数キャリア（ここでは電子）に対する移動度の低い<110>方向であるような構成とする。

【0015】

【発明の効果】前記のような本発明のような構成とすると、そうでない場合と比べて同じゲート電流を注入した場合にも、前記ゲート領域から注入された少数キャリアのうち、絶縁膜界面の反転層を伝って前記ソース領域へと流れ、ドレイン領域の伝導度変調に寄与しない分が減少し、結果的に電流増幅率が向上する。

【0016】また、請求項2は請求項1をさらに具体的に限定したもので、n型シリコン基板上にこのトランジスタをつくった場合に、前記のように面方位を選んで作ると最も電流増幅率が向上する。

【0017】また、請求項3は同じく請求項1をさらに具体的に限定したものであるが、p型シリコン基板上にこのトランジスタをつくった場合に、前記のように面方位を選んで作ると最も電流増幅率が向上する。

【0018】

【発明の実施の形態】以下、本発明を詳しく説明する。図1～図4は本発明の一実施の形態を示す図であり、図1は当該半導体装置を示す鳥瞰図。図2は断面図で、図5中の前面の断面に相当する。図3は当該半導体装置の別の断面図で、図5の側面の断面と同じ部位を示す。図4は当該半導体装置の表面図で、図5の上面と同じ部位である。図4中の線分A-A'を通過して紙面に垂直な面で切った断面図が図1であり、同じく線分B-B'に垂直な面で切った断面図が図3になる。

【0019】図中番号、1はn<sup>+</sup>型基板領域、2はn型ドレイン領域、3はn型ソース領域である。半導体表面には側壁をほぼ垂直に、かつ、互いに平行に掘られた複数の溝が存在する。その内壁にはp型のポリシリコンからなるMOS型電極4が、絶縁膜5によって周囲のn型領域と絶縁されて埋め込まれている。また、図2に示すようにソース電極13はソース領域3とMOS型電極4とにオーミックコンタクトしている。したがって、MOS型電極4はソース領域3と常に同電位であるから、このMOS型電極4と絶縁膜5をあわせて「固定電位絶縁電極6」と呼ぶことにする。7はドレイン領域2のうちで2つの固定電位絶縁電極6に挟まれた部分で、この半導体装置のチャネル領域である。8はp型半導体領域からなるゲート領域で、ソース領域3からは離れているが、ドレイン領域2と絶縁膜5に接している。9は層間絶縁膜である。11はドレイン領域1とオーミックコンタクトするドレイン電極、18はゲート電極8にオーミックコンタクトするゲート電極である。なお、説明を明確にするため、図1と図4においては、図2および図3に記載されている表面電極の記載を省いてある。

【0020】前記のごとき本発明に関わるデバイス構造は、前記従来技術の欄で説明したものと基本的部分は同じであり、違う点はチャネル領域7の前記絶縁膜5に接する界面の面方位のみである。また、前記装置の基本的動作は、前記従来技術の欄で説明したのと同様なので、省略し、以下、本発明の特徴とする部分について説明す

る。

【0021】図5は前記の半導体装置（チャネル領域7がn型シリコンである場合）を、前記チャネル領域7の前記絶縁膜界面の面方位を{110}面とし、かつ正孔流の流れる方向を<110>軸方向としてデバイスをつくったものと、同界面の面方位を{100}としてつくったものの、電流増幅率を測定・比較したグラフである。グラフの横軸はトランジスタチップのドレイン電流密度、縦軸は所謂「電流増幅率」で（ドレイン電流値／ゲート電流値）の比である。

10 【0022】図5に見るとおり、本発明に則った、前記絶縁膜界面の面方位が{100}であるトランジスタの方が電流増幅率が高い。なお、試作したトランジスタのドレイン領域2は基板領域1上にエピタキシャル成長させたものだが、半導体装置が少なくとも600Vの耐圧を持つよう、ドレイン領域の厚さは50μm程度に設定した。また、測定時のドレイン・ソース間電圧は5Vである。

20 【0023】また、図1～図4では、基板領域1をn型としたバージョンを示したが、これは前記請求項2に相当する。本発明では前記請求項3に示すごとく、たとえば基板領域1をp型（チャネル領域7がp型シリコンである場合）とし、その他、全ての半導体領域の伝導型を入れ替えた構造でも成立する。すなわち、その場合は絶縁膜界面には今度は電子による反転層が形成されるので、電子の反転層移動度が最も低い面方位、すなわち{110}面となるように選び、かつ電子流の方向である表面に平行な方向が<110>方向になるように構造をつくりあげればよい。

30 【0024】なお、本発明はここに上げたシリコンに限らず、ゲルマニウム、SiC、III-V族等化合物半導体を使って作られた場合でも、同様に成立する。

【図面の簡単な説明】

【図1】本発明の関わる半導体装置の一実施の形態を示す斜視図。

【図2】本発明の関わる半導体装置の一実施の形態を示す断面図。

【図3】本発明の関わる半導体装置の一実施の形態を示す別の断面図。

40 【図4】本発明の関わる半導体装置の一実施の形態を示す表面図。

【図5】本発明の効果を説明する電流増幅率のグラフ。

【符号の説明】

1…基板領域

2…ドレイン領域

3…ソース領域

4…MOS型電極

5…絶縁膜

6…固定電位絶縁電極

50 7…チャネル領域

(5)

特開平10-326895

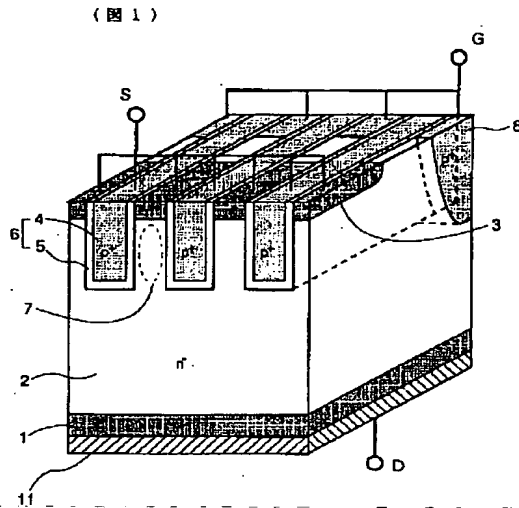
8

8…ゲート領域  
9…層間絶縁膜  
11…ドレイン電極  
13…ソース電極

\* 18…ゲート電極  
H…チャネル厚み  
L…チャネル長

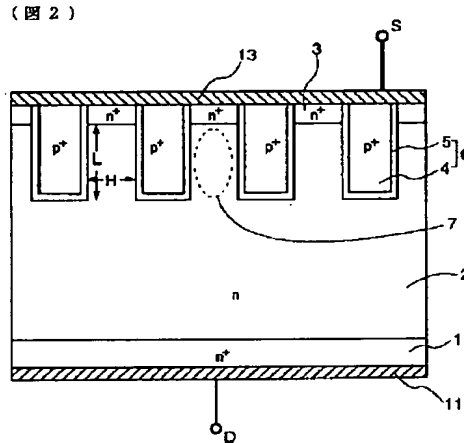
\*

【図1】



1…基板領域  
2…ドレイン領域  
3…ソース領域  
4…MOS型電極  
5…絶縁膜  
6…固定電位絶縁電極  
7…チャネル領域  
8…ゲート領域  
11…ドレイン電極  
13…ソース電極  
18…ゲート電極

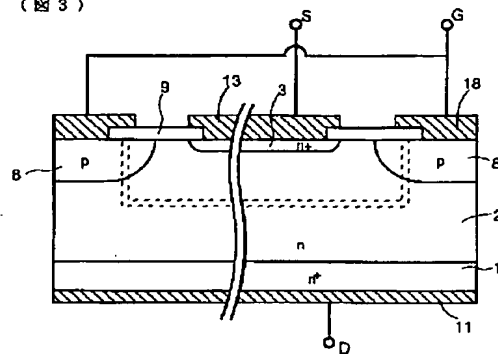
【図2】



1…基板領域  
2…ドレイン領域  
3…ソース領域  
4…MOS型電極  
5…絶縁膜  
6…固定電位絶縁電極  
7…チャネル領域  
11…ドレイン電極  
13…ソース電極

【図3】

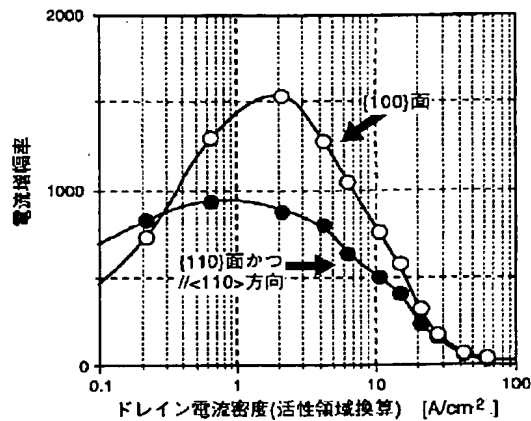
(図3)



1…基板領域  
2…ドレイン領域  
3…ソース領域  
8…ゲート領域  
9…層間絶縁膜  
11…ドレイン電極  
13…ソース電極  
18…ゲート電極

【図5】

(図5)



【図4】

(図4)

